

高吞吐率 LDPC 码编译码器的 FPGA 实现

王英喆, 王振宇, 严 伟, 时广轶
(北京大学 软件与微电子学院, 北京 100871)

摘 要: 新兴的 60 GHz 无线通信标准 IEEE 802.11ad 在采用单载波调制方案时, 最高传输速率可达到 4.62 Gb/s, 最高处理速率为 1.76 GHz. 标准中, 采用准循环低密度奇偶校验码(QC-LDPC)以保证高传输速率下较低的误码率. 针对该标准, 设计并实现了高吞吐率的 LDPC 编译码器. 编码器用移位寄存器作为基本单元实现. 与此同时, 对比了生成矩阵的不同存储方式以优化编码结构. 译码算法选用改进的最小和算法, 译码器的硬件结构兼容 4 种码率, 并拥有 3 种调制方法的接口. 按照设计结构, 用 Verilog 硬件描述语言实现了 LDPC 编译码器, 并得到了正确的仿真结果. 同时, 在 V7-485t FPGA 上完成综合, 分析逻辑资源消耗. 结果, 当 FPGA 时钟频率为 150 MHz 时, 传输速率可达到 1.26 Gb/s.

关键词: QC-LDPC; 高吞吐率; FPGA; 并行结构; 最小和

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2015)11-0097-04

High-throughput LDPC Coder and Decoder FPGA Implementation

WANG Ying-zhe, WANG Zhen-yu, YAN Wei, SHI Guang-yi

(Institute of Software & Microelectronics, Peking University, Beijing 100871, China)

Abstract: IEEE 802.11ad is an emerging 60 GHz wireless communication standard. The maximum transfer rate is 4.62 Gb/s, and the maximum processing rate is 1.76 GHz, when using single carrier modulation schemes. The standard use a quasi-cyclic LDPC code (QC-LDPC) in order to ensure a low error rate at a high transfer rate. For the standard, this paper designs high-throughput LDPC coder and decoder. Implementation of the encoder use shift-register as the basic unit. At the same time, compared to the different storage methods of generation matrix, paper optimizes the coding structure. Decoding algorithm select modified minimum sum algorithms. Decoder hardware architecture is compatible with four kinds of bit rates, and has three kinds of modulation method interface. In accordance with the design of the structure, paper implements LDPC coder and decoder with the Verilog hardware description language, and get the correct simulation results. It completes the comprehensive and analyses logic resource consumption on V7-485t FPGA. As a result, when the FPGA clock frequency is 200 MHz, the transmission rate is up to 1.68 Gb/s.

Key words: QC-LDPC; high-throughput; FPGA; parallel structure; minimum-sum

1 引言

现阶段, 信息时代的到来促使无线通信的快速发展. 为了满足人们日益增长的文化娱乐需求, Wifi 联盟提出了无线吉比特通信标准 IEEE 802.11ad, 它具有高速率、高容量、低延迟、低功耗等特点^[1]. 802.11ad 标准使用 60 GHz 频谱资源丰富的频段, 支持两种调制方案, OFDM 方案允许的最大传输速

率 7 Gb/s, 单载波方案支持的传输速率最高 4.6 Gb/s^[2], 以单载波作为研究重点. 标准采用准循环低密度奇偶校验码(quasi-cyclic low-density parity-check QC-LDPC), 兼容 1/2、5/8、3/4、13/16 四种码率, 码长 672 bit^[3].

2 QC-LDPC 码

LDPC 码是一种线性分组码, 可由校验矩阵 H

唯一确定,其接近香农极限的纠错性能使得它成为最优秀的编码之一。QC-LDPC 是 LDPC 的子类,它的校验矩阵有准循环特性,编码时的生成矩阵同样是准循环的。基于准循环结构设计的编译码器,可以大幅度降低硬件资源消耗^[4]。802.11ad 物理层发射端系统框图如图 1 所示,LDPC 编译码器和扰码模块与调制模块相连,而标准的调制方式有 BPSK、QPSK、16-QAM 三种,所以 LDPC 应该设计可兼容的接口方式。

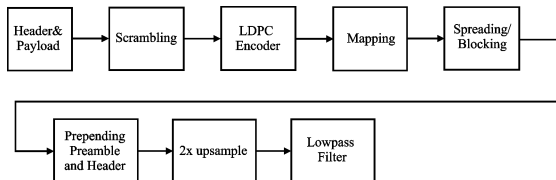


图 1 IEEE 802.11ad 发射端系统框图

3 编码器设计

LDPC 编码的过程,就是根据输入的数据,按照预定的码率和相应的校验矩阵,计算出校验位,并将校验位与数据一并传输^[5]。802.11ad 标准中,已经将各种码率的校验矩阵给出,在此基础上,进一步计算得到对应的生成矩阵,通过与输入矩阵相乘得到校验位,形式如式(1)。

$$a \times G_{qc} = (a_1, a_2, \dots, a_{t-c}) \times \begin{bmatrix} I & 0 & \dots & 0 & | & G_{1,1} & G_{1,2} & \dots & G_{1,c} \\ 0 & I & \dots & 0 & | & G_{2,1} & G_{2,2} & \dots & G_{2,c} \\ \dots & \dots & \dots & \dots & | & \dots & \dots & \dots & \dots \\ 0 & 0 & \dots & I & | & G_{t-c,1} & G_{t-c,2} & \dots & G_{t-c,c} \end{bmatrix} \quad (1)$$

802.11ad 标准中, a 向量表示由数据位组成的向量,共 42 位, t 是 16。 c 的值与码率对应的校验矩阵相关,如表 1 所示。每一个 G 矩阵本身是 42×42 的方阵,并有一个特点:矩阵的某行可由其上一行做向右循环移位得到。

表 1 码率与 c 值

码率	c	$t-c$
1/2	8	8
5/8	6	10
3/4	4	12
13/16	3	13

编码器的基本结构单元如图 2 所示,当有一位数据进入时,将该数据与移位寄存器中的数据做与运算后,再与结果寄存器中的数据做异或运算,即完成一次基本运算。如果一个周期处理 1 位数据,则完成一次校验位数据的处理,需要 $42 * (t-c) * c$ 个时

钟周期。为了达到数据速率的要求,兼顾结构的复杂程度,选取 14 路数据并行输入,并且每个数据 c 路并行处理,从而大幅度提高数据速率。

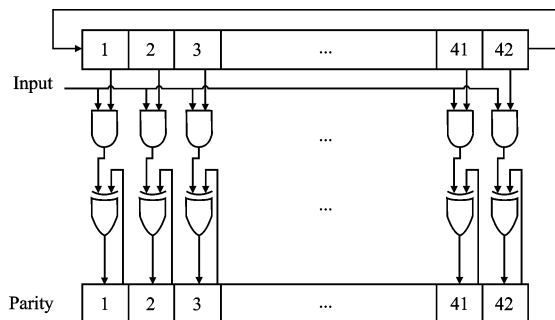


图 2 基本结构单元 SRAA

编码器框架如图 3 所示,为了兼容 4 种码率,将四种码率的生成矩阵均存在 ROM 中待用。为了达成 14 路并行输入处理,应用 14 个 c 组移位寄存器,得到 G 矩阵的 0 至 13 行,与输入数据共同进入 SRAA (shift-register-adder-accumulator) 模块运算得到输出结果。

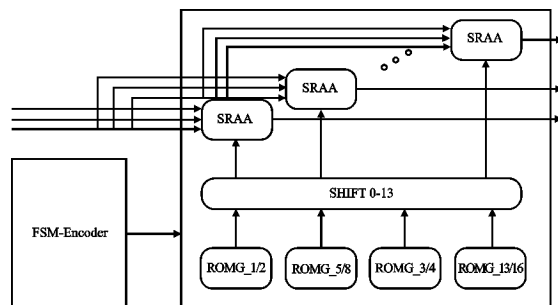


图 3 编码器框架图

编码器的流水设计如图 4 所示,数据输入至有效数据输出间隔 $(6 + \text{数据包位数}/14)$ 个周期,数据包指一组需要编码的输入数据。流水级数分别为 G 矩阵移位、二级异或运算、计算校验位、数据顺序输出、输出缓存。其中,为了节省存储空间,利用 G 矩阵的准循环特性, G 矩阵只需每 14 行存储 1 行,其余 13 行均可利用移位得到,因而第一级流水设计为 G 矩阵移位运算。

按照上述结构设计的编码器,仿真结果如图 5 所示,此时的调制方式为 QPSK。输入为 14 路并行输入,有效输出数据间隔 $(6 + 306/14)$ 个周期,输出数据与软件仿真结果相吻合。

为了减少逻辑资源的消耗,分别设计了不同存储方式的编码器,结构均基于移位寄存器。比较寄存器存储和 ROM 存储两种存储方式,ROM 存储虽然用地址控制起来比较复杂,但是大幅度节省了存储

空间.不同存储方式的资源水泵如表 2 所示.

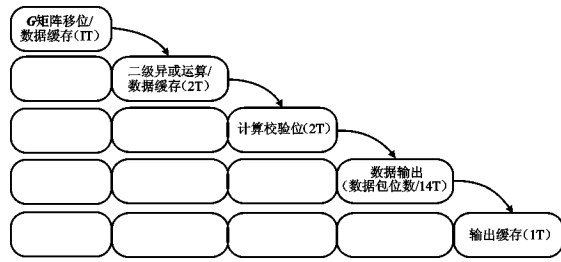


图 4 编码器流水设计

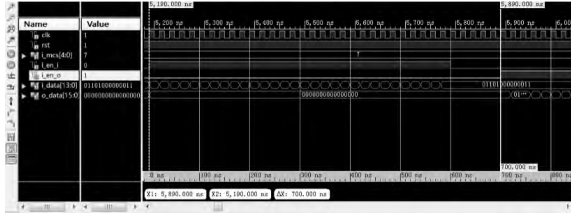


图 5 编码器仿真结果

表 2 不同存储方式的资源消耗情况

资源种类	寄存器 存储	ROM 存储
Number of Slice Registers	4 024	3 074
Number of Slice LUTs	6 411	5 703
Number of occupied Slices	2 291	2 034
Number of LUT Flip Flop pairs used	6 814	5 734
RAMB	0	16

4 译码器

本系统只能选择基于软判决的译码算法,虽然硬件实现复杂度大,但性能比较优越.概率 BP 译码算法具有最优的译码性能,但硬件的实现复杂度非常高. LLR BP 译码算法是 BP 算法的简化算法,标准的最小和算法是 LLR BP 算法的进一步简化,但最小和算法性能较差.改进的最小和算法是标准最小和算法和 LLR BP 算法的折中^[6]. APP(A Posteriori Probability)算法是标准最小和算法的变形,它把译码输出的算式和变量节点更新的算式合并在一起.进而,延伸出了改进的 APP(Normalized APP)算法,也即应用在设计中的算法.

定义变量节点的集合 $V_i = \{j: 0 \leq j < n, h_{ij} = 1\}$, V_i 代表第 i 行有 1 的列的集合. 定义校验节点的集合 $C_j = \{i: 0 \leq i < m, h_{ij} = 1\}$, C_j 代表第 j 列有 1 的行的集合. $L(r_{ji})$ 表示校验节点到变量节点的信息, $L(Q_j)$ 代表变量节点到校验节点的信息,同时也是硬判决信息, y_j 为初始信息, c_j 为硬判决输出结果^[7]. 则译码步骤如下所示.

(1) 初始化: $L^0(Q_j) = y_j$;

(2) 校验节点更新:

$$L^k(r_{ji}) = 0.5 \cdot \left(\prod_{j' \in V_{ij}} \text{sign}(L^{k-1}(Q_{j'})) \right) \min_{j' \in V_{ij}} (L^{k-1}(Q_{j'}));$$

(3) 硬判决 $L^k(Q_j) = y_j + \sum_{i \in C_j} L^k(r_{ji})$, $L(Q_j) < 0, C_j = 1$;

(4) 对判决结果与校验矩阵 H 相乘, 如果 $\{c_1, c_2, \dots, c_{672}\} \cdot H = 0$, 则译码成功, 否则, 返回到第 (2) 步进行下一次迭代, 直到迭代次数达到最大.

图 6 所示为 1/2 码率下不同迭代次数的编码特性. 迭代次数越高, 性能越好, 吞吐量越低^[8]. 考虑实现一次迭代所需的周期数, APP 算法主要包含两个更新计算: 变量节点更新和校验节点更新. 变量节点功能单元模块结构比较简单, 主要是加法运算. 校验节点更新完成校验节点信息的更新, 主要是比较运算. 在当前参数下, 完成一次迭代需要 8 个周期. 兼顾误码率与传输速率, 当迭代次数选择 10 次, 时钟频率为 150 MHz 时, 传输速率可达 1.26 Gb/s.

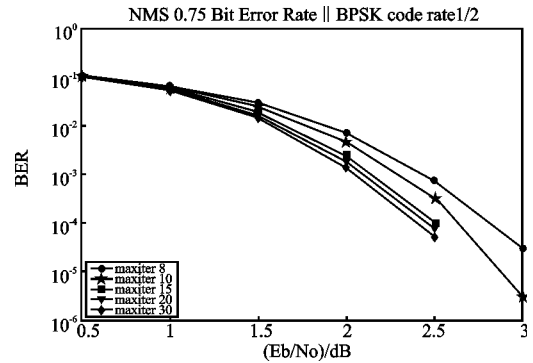


图 6 1/2 码率下不同迭代次数的编码特性

译码器框架如图 7 所示, 核心运算模块为 CORE. 为了达到全并行的效果, 需要一帧数据同时进入核心运算模块, 所以 INPUT 模块完成的功能为串并转换, 即等待一帧数据输入完毕时, 传递给运算模块. 同样的, 设置 OUTPUT 模块是为了能将译码得到的结果按照要求, 按规定位数输出. STATE 模块为状态控制模块, 起到协调模块的作用. 译码模块的输入为解调模块的输出, 根据 BPSK、QPSK、16-QAM 方式的不同, 输出分别为 4 bit、8 bit、16 bit 的信息数据. 为了统一接口, LDPC 采用统一的 16 bit 的信息数据输入接口, 未用比特位置为高阻态.

核心模块 CORE 的设计框架如图 8 所示, VNU 为变量节点更新模块, 数目与校验矩阵的列数相等;

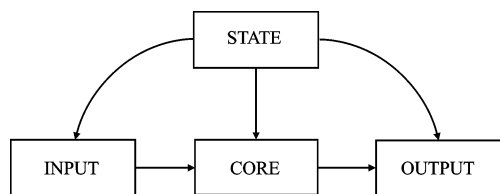


图 7 译码器框架图

CNU 为校验节点更新模块,数目与校验节点的行数相等;Connection 为节点连接模块,连接方式由校验矩阵决定;Check 为校验模块,验证译码后的结果是否正确.按照此设计参数,校验节点更新需要 3 个周期,变量节点更新需要 5 个周期.

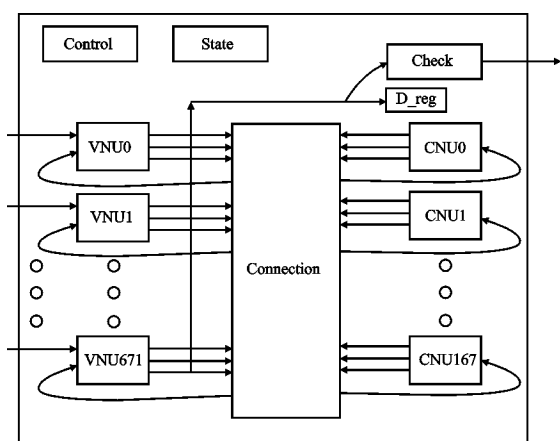


图 8 CORE 核心模块框架图

5 仿真

仿真平台主要包括三个部分. DUT 部分为被测单元,这里主要指 LDPC Decoder 整体 RTL 代码; TB 部分为对 LDPC Decoder 顶层文件的 testbench; 文件部分包括编码前的原始数据文件、输入的 testcase 文件和解码输出的文件等. 仿真的结果如图 9 所示,输出数据与软件仿真得到的结果一致.

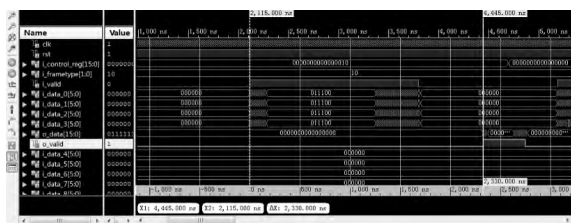


图 9 译码器仿真结果

6 结束语

为了达到 IEEE 802.11ad 标准的高传输速率要求,本文设计并实现了 QC-LDPC 并行编译码器.

编码器采用 14 路并行输出, c 组移位寄存器并行处理, 选用了节约逻辑资源的 ROM 存储方式, 经过仿真验证, 得到正确结果. 译码器选用改进的最小和算法, 当迭代次数为 10 次、时钟频率 150 MHz 时, 传输速率可达到 1.26 Gb/s. 而译码器的资源消耗较大, 仍需对结构进一步改进.

参考文献:

- [1] Sung-Woo Choi, Jun-Hyeong Kim, Il-Gyu Kim. A system design for IEEE 802.11ad[C]// communications (APCC) 2012 18th Asia-Pacific Conference, Jeju Island; IEEE, 2012: 668-671.
- [2] Balatsoukas-Stimming A, Preys N, Cevrero A, et al. A parallelized layered QC-LDPC decoder for IEEE 802.11ad[C]// New Circuits and Systems Conference (NEWCAS), 2013 IEEE 11th International. Paris: IEEE, 2013: 1-4.
- [3] Amendment 3: Enhancements for Very High Throughput in the 60 GHz Band, IEEE P802.11ad/D5.0, Draft Amendment based on IEEE P802.11REVmb D10.0 as amended by IEEE 802.11ae D5.0 and IEEE 802.11aa D6.0[S]. 2011.
- [4] Mingchuan Meng, He Guan, Jing Li. Design QC-LDPC coder based on FPGA[C]// Electrical and Control Engineering (ICECE), 2011 International Conference. Yidang; IEEE, 2011: 1520-1522.
- [5] 袁瑞佳, LDPC 码的高效编译码实现技术研究[D]. 西安: 西安电子科技大学, 2012.
- [6] 袁东风, 张刚海. LDPC 码理论与应用[M]. 北京: 人民邮电出版社, 2008.
- [7] Tanyanon I, Choomchuay S. A hardware design of MS/MMS-based LDPC decoder[C]// Electron Devices and Solid State Circuit (EDSSC), 2012 IEEE International Conference. Bangkok; IEEE, 2012: 1-4.
- [8] Chiu-Wing Sham, Xu Chen, Lau F C Mm, et al. A 2.0 Gb/s throughput decoder for QC-LDPC convolutional codes[J]. circuits and systems I: Regular Papers, IEEE Transactions, 2013, 60(7): 1857-1869.

作者简介:

王英喆 男, (1990-), 硕士研究生. 研究方向为集成电路与系统芯片设计. E-mail: yingzhe_wang@sina.com.

王振宇 男, (1979-), 副教授. 研究方向为 MEMS.

严伟 男, (1978-), 副教授. 研究方向为微电子与嵌入式系统领域.

时广轶 男, (1980-), 副教授. 研究方向为 MEMS 及应用技术.